

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

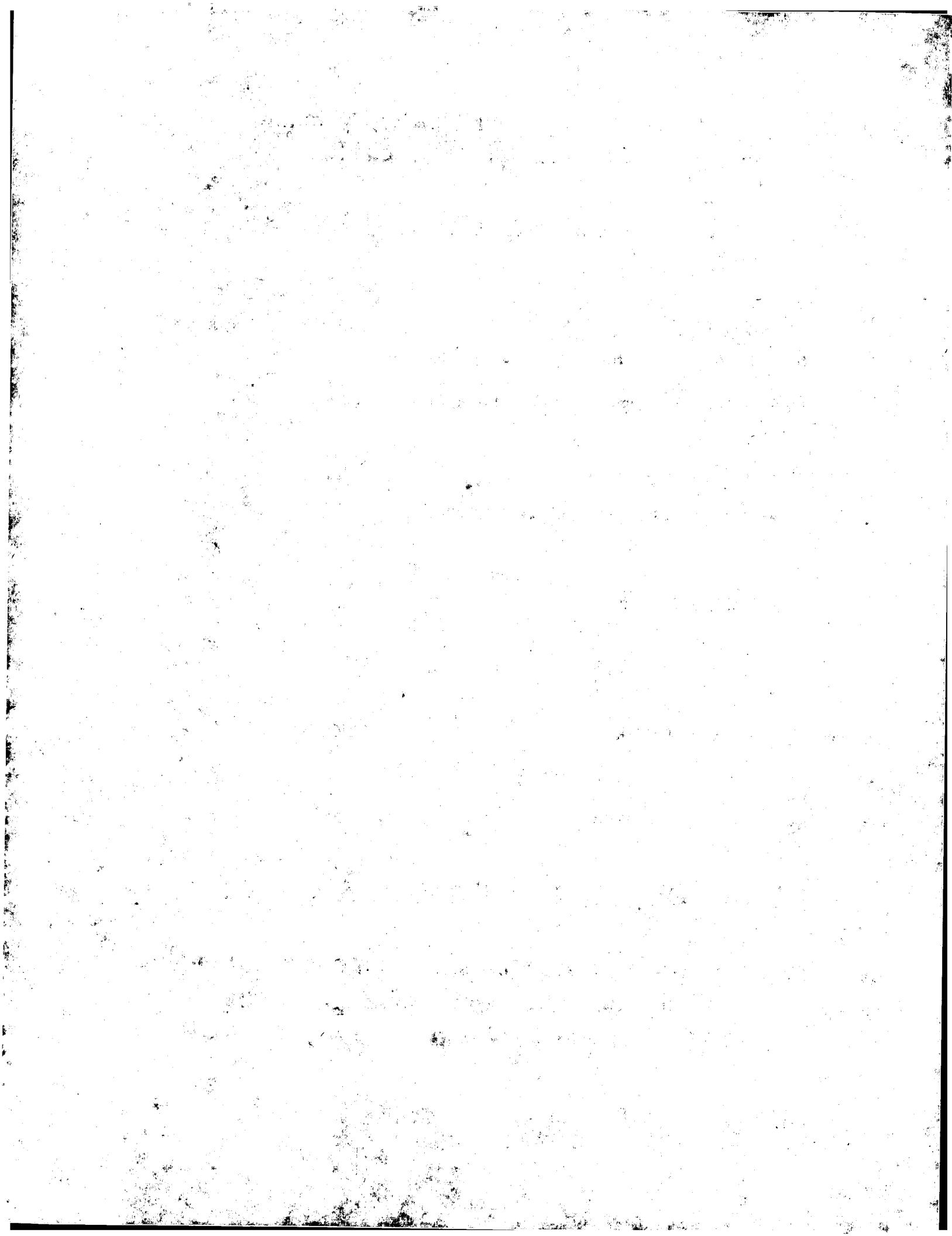
Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**



DIALOG(R) File 351:Derwent WPI  
(c) 2004 Thomson Derwent. All rts. reserv.

014827484 \*\*Image available\*\*

WPI Acc No: 2002-648190/ 200270

XRAM Acc No: C02-183195

XRPX Acc No: N02-512811

Metal insulator semiconductor field effect transistor has gate insulation film containing silicon-oxygen-silicon bonds with predetermined bond angles in specific percentage of entire silicon-oxygen-silicon bond

Patent Assignee: TOSHIBA KK (TOKE )

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 2002198522	A	20020712	JP 2000394358	A	20001226	200270 B

Priority Applications (No Type Date): JP 2000394358 A 20001226

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 2002198522	A	11	H01L-029/78	

Abstract (Basic): JP 2002198522 A

NOVELTY - Metal insulator semiconductor field effect transistor (MISFET) includes gate insulation film formed on silicon substrate. Insulation film contains silicon, oxygen, nitrogen, and several silicon -oxygen - silicon bonds. A bond angle of 120 degrees or less exists in 1% or more of entire silicon -oxygen - silicon bond and silicon -oxygen - silicon bond with bond angle of 125 degrees or less exists in 7% or more.

DETAILED DESCRIPTION - An INDEPENDENT CLAIM is included for MISFET manufacturing method.

USE - None given.

ADVANTAGE - Dielectric constant of insulation film is improved and leakage current is reduced, since silicon -oxygen - silicon bonds with bond angles of 120 degrees and 125 degrees are included in specific percentage of entire bond in the film. Hence characteristics of MISFET is enhanced.

DESCRIPTION OF DRAWING(S) - The figure shows a characteristic view indication relationship of oxidation time, amount of oxygen exposure after forming silicon nitride film and dielectric constant of gate insulation film. (Drawing includes non-English language text).

pp; 11 DwgNo 10/18

Title Terms: METAL; INSULATE; SEMICONDUCTOR; FIELD; EFFECT; TRANSISTOR; GATE; INSULATE; FILM; CONTAIN; SILICON; OXYGEN; SILICON; BOND; PREDETERMINED; BOND; ANGLE; SPECIFIC; PERCENTAGE; SILICON; OXYGEN; SILICON; BOND

Derwent Class: L03; U11; U12

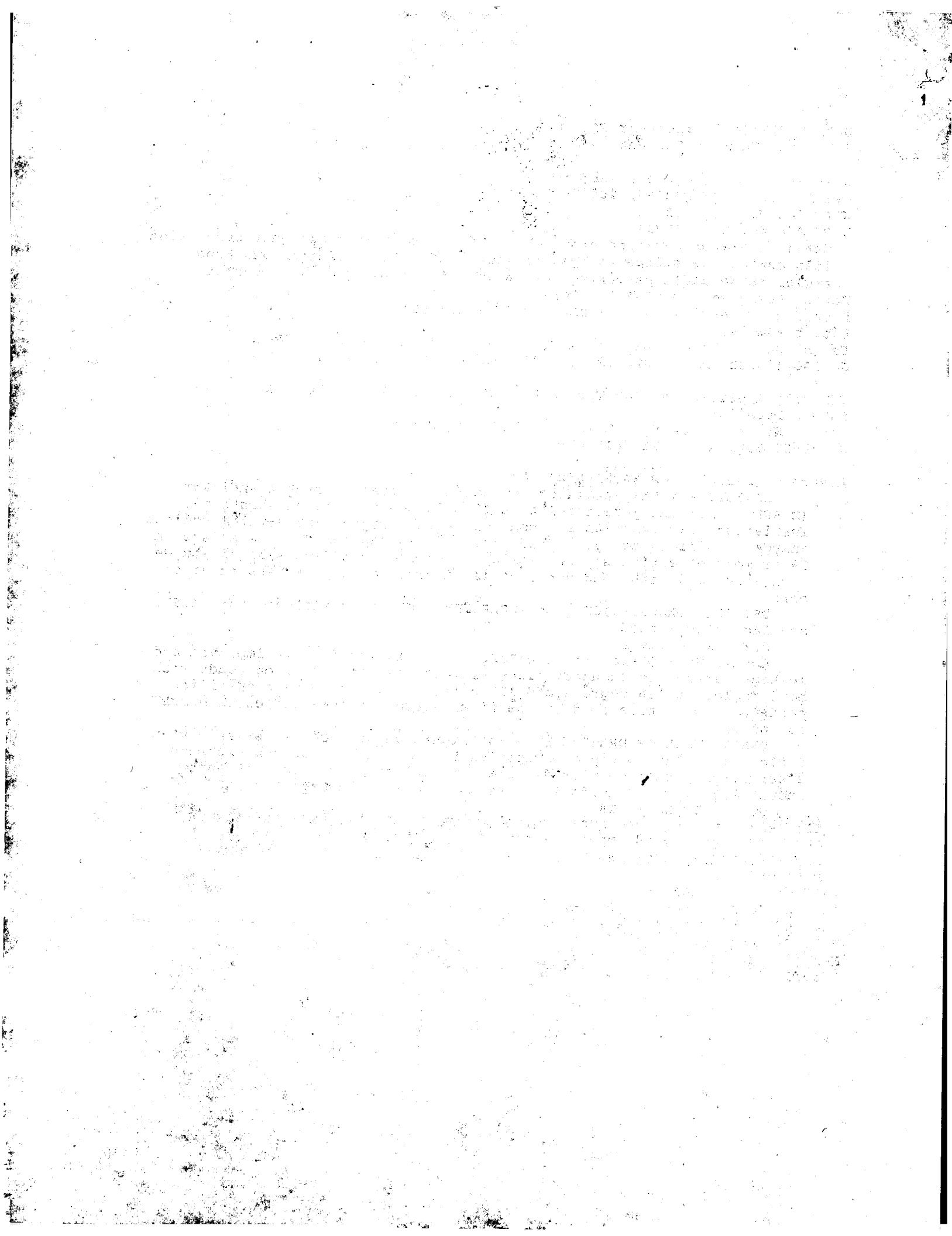
International Patent Class (Main): H01L-029/78

International Patent Class (Additional): H01L-021/318

File Segment: CPI; EPI

Manual Codes (CPI/A-N): L04-E01C

Manual Codes (EPI/S-X): U11-C05B5; U12-D02A



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-198522

(P2002-198522A)

(43)公開日 平成14年7月12日(2002.7.12)

(51)Int.Cl.<sup>7</sup>  
H 01 L 29/78  
21/318

識別記号

F I  
H 01 L 21/318  
29/78

テマコト(参考)  
B 5 F 0 4 0  
C 5 F 0 5 8  
3 0 1 G

審査請求 未請求 請求項の数5 O L (全 11 頁)

(21)出願番号

特願2000-394358(P2000-394358)

(22)出願日

平成12年12月26日(2000.12.26)

(71)出願人 000003078

株式会社東芝  
東京都港区芝浦一丁目1番1号

(72)発明者 安田 直樹

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(74)代理人 100083161

弁理士 外川 英明

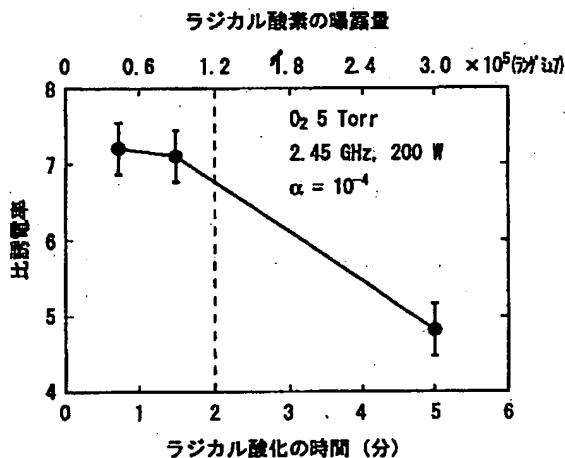
Fターム(参考) 5F040 DA00 DA17 EC07 ED03 ED06  
EH02 EH05 EK05 EL02  
5F058 BA20 BC08 BC11 BF55 BF61  
BF64 BH20 BJ01

(54)【発明の名称】 半導体装置および半導体装置の製造方法

(57)【要約】 (修正有)

【課題】絶縁膜の誘電率の更なる向上を図り、かつ能動素子に用いた場合にリーク電流を少なくし、半導体素子の特性の向上を図る。

【解決手段】シリコン基板上にシリコン(酸)窒化膜を形成した後、ラジカル酸素の曝露量が $1.2 \times 10^5$ ラングミュア以下となる条件でラジカル酸化を行うことによって、Si-O-Si結合のうち、120°以下の結合角を有するものが、Si-O-Si結合全体の1%以上、また125°以下の結合角を有するものが結合全体の7%以上存在するようにする。



## 【特許請求の範囲】

【請求項1】少なくともシリコン基板と、シリコン基板上に形成された絶縁膜と、前記絶縁膜上に形成された電極とを備えた素子が形成されている半導体装置において、前記絶縁膜は、少なくともシリコン、酸素、及び窒素をその主成分として含有し、前記絶縁膜中に含まれる Si-O-Si 結合のうち  $120^\circ$  以下の結合角を有する Si-O-Si 結合が Si-O-Si 結合全体の 1% 以上、かつ  $125^\circ$  以下の結合角を有する Si-O-Si 結合が Si-O-Si 結合全体の 7% 以上存在することを特徴とする半導体装置。

【請求項2】前記絶縁膜は、MIS型電界効果トランジスタのゲート絶縁膜であることを特徴とする請求項1記載の半導体装置。

【請求項3】シリコン基板上に絶縁膜を形成する工程を備える半導体装置の製造方法において、前記絶縁膜を形成する工程は、シリコン基板上にシリコン塗化膜もしくはシリコン酸塗化膜を形成する塗化処理工程と、前記シリコン塗化膜もしくは前記シリコン酸塗化膜をラジカル酸素を含む雰囲気に晒す酸化処理工程とを備え、前記酸化処理工程におけるラジカル酸素の曝露量は  $5 \times 10^3$  ラングミュア以上  $1.2 \times 10^5$  ラングミュア以下であることを特徴とする半導体装置の製造方法。

【請求項4】シリコン基板上に絶縁膜を形成する工程を備える半導体装置の製造方法において、前記絶縁膜を形成する工程は、シリコン基板上にシリコン塗化膜もしくはシリコン酸塗化膜を形成する塗化処理工程と、前記シリコン塗化膜もしくは前記シリコン酸塗化膜をラジカル酸素を含む雰囲気に晒す酸化処理工程とを備え、前記酸化処理工程はラジカル酸素の曝露量が、 $2.5 \times 10^3 / \alpha$  ラングミュア以上  $6 \times 10^4 / \alpha$  ラングミュア以下（但し  $\alpha$  はラジカル酸素を形成する方法が  $O_2$  を含んだガスの電磁波励起によって行われる場合の前記  $O_2$  からラジカル酸素が生成する確率とする）であることを特徴とする半導体装置の製造方法。

【請求項5】前記酸化処理工程前にシリコン基板上に形成されたシリコン塗化膜もしくはシリコン酸塗化膜中に存在する窒素の面密度が  $8 \times 10^{15} \text{ cm}^{-2}$  よりも小さいことを特徴とする請求項5または請求項6記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体装置およびその製造方法に関わり、とくにMIS (metal Insulator semiconductor) 構造を有する半導体素子のゲート絶縁膜に関するものである。

## 【0002】

【従来の技術】シリコン半導体集積回路の微細化に伴い、MOS (metal oxide semiconductor)

(Metal Oxide Semiconductor) 型半導体素子の寸法は微細化の一途を辿っている。MOS型半導体素子の最小寸法が  $0.1 \mu\text{m}$  以下の世代では、実効膜厚が  $2 \text{ nm}$  以下のゲート絶縁膜が必要とされる。ゲート絶縁膜に  $\text{SiO}_2$  を使うと、膜厚  $2 \text{ nm}$  以下ではダイレクト・トンネル電流が急激に増加し、リーク電流の最大仕様値  $1 \text{ A}/\text{cm}^2$  を上回ってしまう。そこで、MOS型半導体素子の性能を維持しながらリーク電流を減少させるために、シリコン酸化膜よりも誘電率の高い材料をゲート絶縁膜として使うことが検討されている。そのなかでも、シリコン酸窒化膜は、従来の半導体素子製造工程との整合性がよいため、近い将来の絶縁膜として有望視されている。

【0003】シリコン酸窒化膜の形成方法としては、シリコン基板の  $\text{NO}_x$  酸窒化以外に、非平衡過程を用いて窒素・酸素の導入過程を制御する試みとして、シリコン酸化膜やシリコン塗化膜をラジカル窒化あるいはラジカル酸化する方法が注目されている。この方法であれば低温でシリコン酸窒化膜が形成でき、デバイス製造工程中の熱工程(thermal budget)が少なくて済むため、超微細MIS型半導体素子の形成に適している。また、この方法では反応性の高い窒素・酸素を用いるため、低温で形成するにも関わらず膜中の格子欠陥が少ない。そのためよりリーク電流が少ないシリコン酸窒化膜を形成できる。このようなシリコン酸窒化膜の形成方法には、大きく分けて次の二つがある。

【0004】第1の方法は、 $\text{SiO}_2$  膜を形成した後にラジカル窒化（もしくはプラズマ窒化）を行い、膜中に窒素を導入することである（参考文献： M. Togo, K. Watanabe, T. Yamamoto, N. Ikarashi, K. Shiba, T. Tatsumi, H. Ono, and T. Mogami, 2000 Symp. on VLSI Tech. p.116; S. V. Hattangady, R. Kraft, D. T. Gridder, M. A. Douglas, G. A. Brown, P. A. Tiner, J. W. Kuehne, P. E. Nicollian, and M. F. Pas, IEDM Tech. Dig. 96-495）。前記参考文献のうち Togo らの報告によると、この方法では窒素濃度の割に大きな誘電率を得ることができる。しかしながらこの方法であると窒素の導入量に限界があり、誘電率の上昇にも限界がある。

【0005】一方、第2の方法は、最初にシリコン基板上にシリコン塗化膜もしくはシリコン酸塗化膜を形成し、それに対してラジカル酸化（もしくはプラズマ酸化）を行うことである。この方法では窒素の含有量を大きくすることができるので誘電率の向上が期待され、また、界面近くに窒素が存在するためにホットキャリア耐性も改善することが期待されるが、前記参考文献のうち Togo らの報告によると、それほど大きな誘電率を得ることができない。（窒素濃度 12% で誘電率 5.1 程度）そのため、第2の方法は、とくにゲート絶縁膜のリーク電流（ダイレクト・トンネル電流）の抑制において第1の方法よりも劣っている。

## 【0006】

【発明が解決しようとする課題】上記のように、従来検討されているシリコン酸化膜のラジカル塗化、及びシリコン塗化膜やシリコン酸塗化膜のラジカル酸化では、絶縁膜の誘電率を大きくできず、したがって、リーク電流を十分に下げられないという問題点がある。

【0007】本発明者らは誘電率の向上を実現できる絶縁膜の形成方法として窒素の導入量を大きくできるシリコン塗化膜もしくはシリコン酸塗化膜のラジカル酸化（前記第2の方法）に着目した。本発明は、絶縁膜の誘電率の更なる向上を図り、かつ能動素子に用いた場合にリーク電流を少なくし、かつホットキャリア耐性も改善し、半導体素子の特性の向上を図ることを目的とする。

## 【0008】

【課題を解決するための手段】<本発明の構成>本発明は、少なくともシリコン基板と、シリコン基板上に形成された絶縁膜と、前記絶縁膜上に形成された電極とを備えた素子が形成されている半導体装置において、前記絶縁膜は、少なくともシリコン、酸素、及び窒素をその主成分として含有し、前記絶縁膜中に含まれる Si-O-Si 結合のうち  $120^\circ$  以下の結合角を有する Si-O-Si 結合が Si-O-Si 結合全体の 1% 以上、かつ  $125^\circ$  以下の結合角を有する Si-O-Si 結合が Si-O-Si 結合全体の 7% 以上存在することを特徴とする半導体装置である。

【0009】前記絶縁膜は、MIS型電界効果トランジスタのゲート絶縁膜であることが望ましい。

【0010】また、本発明は、シリコン基板上に絶縁膜を形成する工程を備える半導体装置の製造方法において、前記絶縁膜を形成する工程は、シリコン基板上にシリコン塗化膜もしくはシリコン酸塗化膜を形成する塗化処理工程と、前記シリコン塗化膜もしくは前記シリコン酸塗化膜をラジカル酸素を含む雰囲気に晒す酸化処理工程とを備え、前記酸化処理工程におけるラジカル酸素の曝露量は  $5 \times 10^3$  ラングミュア以上  $1.2 \times 10^5$  ラングミュア以下であることを特徴とする半導体装置の製造方法である。

【0011】また、本発明は、シリコン基板上に絶縁膜を形成する工程を備える半導体装置の製造方法において、前記絶縁膜を形成する工程は、シリコン基板上にシリコン塗化膜もしくはシリコン酸塗化膜を形成する塗化処理工程と、前記シリコン塗化膜もしくは前記シリコン酸塗化膜をラジカル酸素を含む雰囲気に晒す酸化処理工程とを備え、前記酸化処理工程はラジカル酸素の曝露量が、 $2.5 \times 10^3 / \alpha$  ラングミュア以上  $6 \times 10^4 / \alpha$  ラングミュア以下（但し  $\alpha$  はラジカル酸素を形成する方法が  $O_2$  を含んだガスの電磁波励起によって行われる場合の前記  $O_2$  からラジカル酸素が生成する確率とする）であることを特徴とする半導体装置の製造方法である。

【0012】各々の製造方法において、前記酸化処理工

程前にシリコン基板上に形成されたシリコン塗化膜もしくはシリコン酸塗化膜中に存在する窒素の面密度が  $8 \times 10^{15} \text{ cm}^{-2}$  よりも小さいことが望ましい。

<作用>本発明者らは、最初にシリコン基板上にシリコン塗化膜もしくはシリコン酸塗化膜を形成し、次にラジカル酸化を行う絶縁膜の形成方法について鋭意検討した結果、以下の知見を得た。

【0013】シリコン基板上に形成したシリコン塗化膜もしくはシリコン酸塗化膜にラジカル酸化を施した場合、まずシリコン塗化膜もしくはシリコン酸塗化膜とシリコン基板との界面までラジカル酸化が進みシリコン酸化膜が形成され、このとき形成されるシリコン酸化膜は高誘電率（比誘電率 6-7）を有する。

【0014】一方、シリコン基板との界面には 1 モノレイヤ程度の窒素が残存し、絶縁膜トータルの誘電率は  $> 5$  と高いものとなる。

【0015】しかしながら、この状態でさらにラジカル酸化を進めると、誘電率の低いシリコン酸化膜（誘電率 3-4）が生成するとともに、窒素を含むシリコン基板との界面層の誘電率も低下するというものである。

【0016】したがって、誘電率の高い絶縁膜を得るには、シリコン基板上にシリコン塗化膜もしくはシリコン酸塗化膜を形成し、次にラジカル酸化を行なう際、初期に形成したシリコン塗化膜もしくはシリコン酸塗化膜のバルク部分だけをラジカル酸化し、さらにシリコン基板界面まで酸化が進行した後にさらに酸化を続けることないようにラジカル酸素の曝露量を小さく設定することによって、誘電率の高い絶縁膜が得られる。さらにこのとき窒素が絶縁膜中（シリコン基板との界面）に存在することになりそれによりホットキャリアによるデバイス特性の劣化を抑制させるという効果も同時に生じる。

【0017】また本発明者らは、上記のようにして得られた絶縁膜は、酸素、窒素、シリコンを主成分とし、Si-O-Si 結合の低角度成分を比較的多く含み、かつこの絶縁膜は誘電率が高く、リーク電流を低減させることができることを見出した。Si-O-Si 結合の低角度成分を多く含む絶縁膜の誘電率が高い理由についての詳細は明らかではないが、Si-O-Si 結合の低角度成分を多く含む絶縁膜は、膜の原子密度が高く格子欠陥が少ないとといった理由が考えられる。さらに絶縁膜は、シリコン基板との界面に窒素、酸素、シリコンを含む層と、シリコン酸化膜層との積層構造にすることによりホットキャリアによるデバイス特性の劣化を抑制させるという効果も同時に生じる。

【0018】このようにして誘電率の高い絶縁膜が得られれば、MIS型半導体素子のゲート容量を一定に保ちながらゲート絶縁膜の実膜厚を厚くすることができるの、ゲート絶縁膜を流れるリーク電流を抑制することができ、かつホットキャリアによるデバイス特性の劣化を抑制させる。

## 【0019】

【発明の実施の形態】(MIS型トランジスタの製造方法)図1から図6は、本発明の実施の形態(以下、実施例という)に係るn型MISトランジスタの製造工程を示す断面図である。

【0020】まず、図1に示すように、単結晶のp型シリコン基板1の表面に、素子分離の役割を果たす深い溝2を形成する。その後、例えばCVD法により、深い溝2をシリコン酸化膜3で埋め込む。

【0021】次に、図2に示すように、ゲート絶縁膜4を形成する。ゲート絶縁膜4の形成方法は後で述べる。

【0022】次に図3に示すようにゲート絶縁膜4の上部にはポリシリコン膜5を形成する。

【0023】さらに、図4に示すように、フォトレジストパターン6をマスクとして、ポリシリコン膜5を反応性イオンエッチングにより第1のゲート電極状にパターニングする。

【0024】次いで、図5に示すように、フォトレジストパターンを除去した後、砒素を、例えば加速電圧40keV、ドーズ量 $2 \times 10^{15} \text{ cm}^{-2}$ の条件でイオン注入して、高不純物濃度のn<sup>+</sup>型ゲート電極(ゲート電極5)、n<sup>+</sup>型ソース領域7、n<sup>+</sup>型ドレイン領域8を同時に形成する。

【0025】次に、図6に示すように、全面に層間絶縁膜として厚さ300nmのシリコン酸化膜9をCVD法により形成した後、このシリコン酸化膜9上にコンタクトホール形成用のフォトレジストパターン(不図示)を形成し、これをマスクとして反応性イオンエッチング法によりシリコン酸化膜9をエッチングして、コンタクトホールを開口する。

【0026】最後に、全面にA1膜をスパッタ法により形成した後、これをパターニングして、ソース電極10、ドレイン電極11、および第2のゲート電極12を形成してn型MOSトランジスタが完成する。なお、本実施例では、n型MISトランジスタの製造工程を示したが、p型MISトランジスタでは導電型がn型とp型で入れ替わる点が異なるだけであり、基本的な製造工程はまったく同じである。

【0027】以上のようにして、シリコン基板と、シリコン基板上に形成された絶縁膜と、前記絶縁膜上に形成された電極とを備え、前記シリコン基板は少なくともその表面に第1導電型のシリコン層を有し前記第1導電型のシリコン層の表面には互いに離間して設けられた一对の第2導電型の半導体領域が形成されており、前記絶縁膜は前記第1導電型のシリコン層上でかつ前記第2導電型の半導体領域の間に形成されたIS型電界効果トランジスタを得た。

(ゲート絶縁膜の製造工程)本実施例において最も重要なゲート絶縁膜の形成工程の概略を図7、及び図8に示すRTP(Rapid Thermal Proc-

essing) 装置の概略断面図を用いて説明する。

【0028】まず図7に示すようにシリコン基板に対して(1)RCA洗浄を施した後、(2)塗化処理を行ってシリコン塗化膜もしくはシリコン酸塗化膜を形成し、その後、前記シリコン塗化膜もしくは前記シリコン酸塗化膜を、原子状酸素を含む雰囲気に晒す酸化処理として(3)ラジカル酸化を行った。ラジカル酸化とはO<sub>2</sub>を含んだガスの電磁波励起によってラジカル酸素を形成し、そのラジカル酸素をもって酸化を行う処理である。

【0029】また、シリコン基板に対してドライO<sub>2</sub>酸化(760Torr, 840°C、10分間)を行ったサンプルも比較データとして用意した。

【0030】図7では四角く囲った条件のプロセスを用いるものが本発明の実施例に相当し、その他は比較データとして示すものである。

<塗化処理>本実施例では(2)塗化処理は図7に示す条件で行った。

【0031】具体的には、図8に示すRTP装置中へ石英トレイ18を用いてシリコン・ウェハ15を搬送し、NH<sub>3</sub>ガスにさらすことによって行った。このときRTP装置にガス導入口17から10TorrのNH<sub>3</sub>ガスを導入し、ランプ14による加熱でシリコン基板の温度を730°Cもしくは870°Cとして60秒間そのままの状態に保ち、膜厚0.6~1.0nmのシリコン塗化膜を形成した。

【0032】なお、本実施例において前記塗化処理はNH<sub>3</sub>ガスに晒すことによって行ったが、本発明において、塗化処理としては、NOガスに晒す酸塗化処理など、シリコン基板の表面にシリコン酸塗化膜、またはシリコン塗化膜を形成することのできる他のプロセスで代替することもできる。

【0033】また、本発明における塗化処理によってシリコン基板上に形成するシリコン塗化膜もしくはシリコン酸塗化膜は、いずれも電気膜厚0.05nm以上0.5nm以下が望ましい。実膜厚は0.1nm以上1.0nm以下が望ましい。

【0034】また、本発明において、塗化処理時の加熱の温度は600°C以上950°C以下であればよいが、850°C~900°C付近の加熱温度で高い誘電率と少ないリーク電流を示す絶縁膜が得られるため望ましい。加熱の時間に関しては、シリコン塗化膜の膜厚が飽和するので、30秒以上の時間であればとくに制約はなく、自由に選べる。ただし、サーマルバジェットを大きくしきない点で60秒間程度の時間が望ましい。また、導入するNH<sub>3</sub>ガスの圧力に関してはとくに制約が無い。

【0035】また、本発明において、前記塗化処理によって形成されるシリコン塗化膜もしくはシリコン酸塗化膜は、膜厚が厚くなる(窒素の面密度が大きくなる)と最終的に得られる絶縁膜中に欠陥が残留してリーク電流特性が劣化したり電気膜厚T<sub>eff</sub>が大きくなったりし、

極薄ゲート絶縁膜としては使えなくなってしまう恐れがある。そのためラジカル酸化を行う前のシリコン窒化膜もしくはシリコン酸窒化膜中の窒素面密度は、窒素面密度は  $8 \times 10^{15} \text{ cm}^{-2}$  よりも低くなるよう形成することが望ましい。

【酸化処理】本実施例では、次にそれぞれのサンプルに対して(3)ラジカル酸化を図7に示す条件で行った。

【0036】具体的には RTP 装置中へ圧力 5 Torr の O<sub>2</sub>ガスを導入した。このとき O<sub>2</sub>ガスに加えて N<sub>2</sub>、He、Ar、Kr 等のキャリア・ガスを同時に流してもよい。ガス導入口 17 の外部に設置された放電電極 20 から出るマイクロ波によってガス導入口の内部で酸素プラズマが発生し、そのプラズマ中に存在するラジカル酸素がウェハ 1.5まで到達し、ラジカル酸化が進行する。

【0037】このときのマイクロ波出力条件は、2.45 GHz, 200Wとした。ランプ加熱によってラジカル酸化時のシリコン・ウェハの温度を 840°C とし、4.5 秒、もしくは 9.0 秒間もしくは 30.0 秒間のラジカル酸化を行った。

【0038】なお、本実施例では O<sub>2</sub>ガスの圧力を 5 Torr としたが、この圧力に関しては、マイクロ波励起で酸素プラズマが形成される限り、とくに制約は無い。また、ラジカル酸化の進行過程（成膜レート）は温度にほとんど依存しないことが知られているので、ラジカル酸化を行う際のシリコン基板の温度に関してもとくに制約は無く、常温から 900°Cまでの範囲で自由に選ぶことができる。なお、基板温度が 900°Cを超えると形成された酸化膜のエッティングが起こり得るので、900°C以上の温度は避けるのが望ましい。

（絶縁膜の実膜厚と電気膜厚の関係）以上のようにして得られた絶縁膜の実膜厚と電気膜厚の関係を図9に示す。

【0039】図9の横軸の実膜厚 d<sub>oxy</sub> は、XPS (X-ray Photoelectron Spectroscopy) の Si 2p スペクトルから以下の式によって求めた (Z. H. Lu, J. P. McCaffrey, B. Brar, G. D. Wilk, R. M. Wallace, L. C. Feldman, S. P. Tay, Appl. Phys. Lett. 71, 2764 (1997))。

$$d_{oxy} = \lambda_{oxy} \sin \alpha \ln [I_{oxy} / (\beta I_{Si}) + 1]$$

ここで、 $\lambda_{oxy} = 2.96 \text{ nm}$  (光電子の脱出深さ)、 $\beta = 0.75$ 、 $I_{oxy} / I_{Si}$  は Si 2p 信号において、酸化または窒化された Si の信号強度  $I_{oxy}$  と、元素状態の Si 信号強度  $I_{Si}$  との比率である (Si 基板界面近くのサブオキサイドは  $I_{oxy}$  に含める)。また、 $\alpha = 45^\circ$  は光電子の検出角度である。

【0040】また、図9の縦軸の電気膜厚は、それぞれのゲート絶縁膜の C-V 特性で、 $V_{fb}$  (フラットバンド電圧) を起点として蓄積 (accumulation) 側にキャパシタンスをゲート電圧で積分し、 $E_{ox} = 5 \text{ MV/cm}$ 、 $\epsilon_{ox} = 3.9 \times 8.854 \times 10^{-14} \text{ (F/cm)}$  と定義したとき、単位面積あたりの電荷量 (もしくは絶縁膜中の電束密度) が  $Q = \epsilon_{ox} E_{ox}$  となるゲート電圧でのキャパシタンス C (単位面積あたり) から、 $T_{eff} = \epsilon_{ox} / C$  として求められた電気膜厚である。

【0041】図9から、それぞれの絶縁膜の誘電率は、次のように求められる。

$$\epsilon = 3.9 \times T_{phys} / (T_{eff} 0.4 \text{ nm})$$

ここで、 $T_{phys}$  は実膜厚、 $T_{eff}$  は電気膜厚、0.4 nm は Si 基板の蓄積層キャパシタンスに相当する電気膜厚である。したがって、 $(T_{phys}, T_{eff}) = (0 \text{ nm}, 0.4 \text{ nm})$  と各データ点を結ぶ直線の傾きの逆数が誘電率を与えることになる。すなわち  $(T_{phys}, T_{eff}) = (0 \text{ nm}, 0.4 \text{ nm})$  と各データ点を結ぶ直線の傾きが小さいほど誘電率が高い。

【0042】図9から、以下の3つのことが理解される。

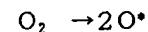
(1) シリコン基板上のドライ O<sub>2</sub>酸化膜に比べて、ラジカル酸化を行った絶縁膜の誘電率は高い。

(2) 最初に NH<sub>3</sub> 窒化でシリコン窒化膜を形成しておくと、ラジカル酸化の時間が短い場合には、シリコン基板上のラジカル酸化膜よりもさらに高い誘電率が得られる。

(3) NH<sub>3</sub> 窒化後のラジカル酸化の時間が 4.5 秒、9.0 秒では誘電率は高いが、ラジカル酸化の時間が 30.0 秒では誘電率が低い。

（ラジカル酸化の時間とゲート絶縁膜の誘電率）最も良好なデータが得られた 870°C の NH<sub>3</sub> 窒化膜のラジカル酸化に関して、ラジカル酸化時間とともに絶縁膜の誘電率がどのように変化するのかを示したのが図10である。この図から明らかのように、ラジカル酸化の時間が 2 分を超えると誘電率の劣化が認められる。

【0043】今回の RTP 装置では、ラジカル酸素の形成



の確率  $\alpha$  は、 $\alpha = 10^{-4}$  であったので、2 分間のラジカル酸化でシリコン・ウェハに注がれるラジカル酸素の量は、 $5 \text{ (Torr)} \times 120 \text{ (s)} \times 10^{-4} \times 2 = 0.12 \text{ (Torr s)}$ 、すなわち  $1.2 \times 10^5 \text{ ラングミュア}$  となる。この曝露量以下でラジカル酸化を行うことによって、誘電率の高いゲート絶縁膜を実現することができる。

【0044】なお、初期に形成されていた窒化膜もしくは酸窒化膜と Si 基板の界面まで十分なラジカル酸化を行うために必要な最低のラジカル酸素曝露量は  $5 \times 10^3 \text{ ラングミュア}$  程度であり、ラジカル酸素の曝露量はこれ以上であることが望ましい。なお、1 ラングミュアという曝露量の単位は、 $10^{-6} \text{ (Torr)} \times 1 \text{ (s)}$  であり、また、前記の式で  $\times 2$  というファクタは、ひとつのお<sub>2</sub>分子から 2 個のラジカル酸素が生成することに対

応している。

【0045】但し $\alpha$ は、上記のように、ラジカル酸素を形成する方法がO<sub>2</sub>を含んだガスの電磁波励起によって行われる場合前記O<sub>2</sub>からラジカル酸素が生成する確率であるがこの $\alpha$ は使用する装置にその値が依存する。あるRTP装置でO<sub>2</sub>分子からラジカル酸素が形成される確率を $\alpha$ とすれば、シリコン・ウェハに曝露するO<sub>2</sub>の量を $2.5 \times 10^3 / \alpha$ ラングミュアから $6 \times 10^4 / \alpha$ ラングミュアの範囲に設定することにより、誘電率を高くするという本発明の効果が得られる。

(絶縁膜のリーク電流特性) 次に、本実施例で形成されたゲート絶縁膜のリーク電流特性を示す。図11には、実効電界E<sub>ox</sub>=5MV/cmのゲート電圧におけるキャパシタンスから評価した電気膜厚と、そのゲート電圧におけるゲート・リーク電流の関係を示した。

【0046】図11から、

- (1)シリコン基板上に形成したドライO<sub>2</sub>酸化膜よりも、ラジカル酸化膜でリーク電流が少なくなっている。
- (2)NH<sub>3</sub>窒化を730°Cまたは870°Cで行ってシリコン窒化膜を形成した後に90秒間のラジカル酸化を行った場合には、シリコン基板上に形成したラジカル酸化膜(0°90秒、300秒で引いた検量線)よりもさらにリーク電流を抑制することができる。

【0047】ということが分かる。(2)の理由は、密度および誘電率の高いシリコン酸化膜と、シリコン基板との界面付近に存在する高い誘電率を持つシリコン酸窒化膜との積層膜が形成されているためであると考えられる。また、シリコン基板上に直接ラジカル酸化膜を形成する場合にはRTPの昇温時の窒素雰囲気中に含まれる水分によって、ラジカル酸化の前に誘電率の低い酸化膜が薄く形成されるが、窒化膜を最初に形成しておくとそのような意図しない酸化膜の形成を完全に防ぐことができ、純粋なラジカル酸化膜(高い誘電率を持つ)だけが形成されるので、結果として絶縁膜全体の誘電率が向上すると考えられる!

(ゲート絶縁膜の誘電率と膜中窒素濃度) 図12には、図10から求められた絶縁膜の誘電率と、膜中の窒素濃度との関係を示す。

【0048】絶縁膜中の窒素濃度は、次のようにして求めた。SIMS (Secondary Ion mass Spectroscopy) の測定結果から求められる膜厚方向の窒素・酸素の積分量(いずれも基板のSiの2次イオン数で規格化した値)を、RBS (Rutherford Backscattering Spectroscopy) で較正済みの標準試料におけるSIMSの窒素・酸素の膜厚方向積分量と比較して、本実施例の絶縁膜における窒素・酸素の面密度を算出した。

【0049】窒素と酸素の面密度をそれぞれ[N]、[O]とすれば、本実施例のシリコン酸窒化膜(SiO<sub>x</sub>(Si<sub>3</sub>N<sub>4</sub>)<sub>1-x</sub>)のアロイ組成比xは

$$x = 1 / (1 + 0.5 [N] / [O])$$

と求められる。

【0050】このアロイ組成比を使って、膜中の窒素濃度は $(4 - 4x) / (7 - 4x) \times 100$  (atomic %) として得られる。

【0051】今回の評価では、SIMSの測定条件として1次イオンに350eVのCs<sup>+</sup>を用い、2次イオンとしてCsN<sup>+</sup>とCsO<sup>+</sup>を検出した。また、標準試料のRBS測定は、300kVのHe<sup>+</sup>イオンをSi基板の<101>方向から入射させ、散乱角80°のHe<sup>+</sup>イオンを検出した。

【0052】図12において、実線は、標準的なシリコン酸窒化膜における誘電率の窒素濃度依存性を表している(X. Guo and T. P. Ma, IEEE Electron Device Lett. 19, 207 (1998)のデータを参照した)。

【0053】この実線と比較すると、

(1)シリコン基板上にラジカル酸化膜を形成した場合、窒素が存在しないにも関わらず、6以上の大きな誘電率が得られる。

(2)シリコン基板上に窒化膜を形成した後にラジカル酸化を行った場合には、さらに大きな誘電率(最大で7程度)が得られるが、ラジカル酸化の時間を長くすれば誘電率は低下し、一般的なシリコン酸窒化膜の誘電率に近づく。ということが分かる。

(窒素の膜厚方向分布) 図13は高い誘電率が得られた870°C、NH<sub>3</sub>窒化の後、840°C、90sのラジカル酸化を行って形成したゲート絶縁膜のSIMSプロファイルである。図13から分かるように、酸素は膜の表面側に多く、窒素はSi基板との界面側に多く分布している。このSIMSプロファイルから見積もった窒素の面密度は、 $1.4 \times 10^{15} \text{ cm}^{-2}$ であり、これは界面付近に1モノレーヤの窒素が存在することに対応する。

【0054】即ち本発明の絶縁膜は、シリコン基板上に形成され、シリコン基板との界面に酸素、シリコン及び窒素を主成分とする第1の絶縁膜と、第1の絶縁膜上に形成され、酸素及びシリコンを主成分とする第2の絶縁膜との積層構造を有することが望ましい。

(望ましい窒素濃度) 図14には、図13に示した870°C、NH<sub>3</sub>窒化の後、840°C、90sのラジカル酸化を行って形成したゲート絶縁膜と、NH<sub>3</sub>窒化の温度を変化させて(730°C)初期の窒化膜厚を変え、ラジカル酸化(840°C、90s)をおこなって形成した絶縁膜の膜中に残存している窒素の面密度を示す。(いずれの場合にも窒素はSi基板界面付近に多く残存することが確認されている。)

いずれのサンプルも比誘電率及びリーク電流特性では良好な特性を示すものであるが、窒素の面密度は約1モノレーヤ( $= 1.4 \times 10^{15} \text{ cm}^{-2}$ )以下に抑えられている。

【0055】窒素の残存量が多くなる場合、それはシリコン基板界面近くまで酸素が届いていないことを意味し、as-grown窒化膜中に不可避的に存在する欠陥がリーク電流を増大させるおそれがある。したがって絶縁膜中に含まれる窒素の面密度は多くても $2 \times 10^{15} \text{ cm}^{-2}$ 以下にすることが望ましい。

【0056】一方、窒素濃度の下限に関してはpチャネルMOSFETにおけるボロンの突き抜けによる閾値電圧のバラツキを抑制する観点からは $3 \times 10^{14} \text{ cm}^{-2}$ 以上の窒素が存在することが望ましい。また、ホットキャリア効果によるMIS型半導体素子の特性劣化を抑制する観点からも、少なくともこの程度の量の窒素が界面付近(第1の絶縁層)に存在することが望ましい。

(赤外吸収特性と膜構造) 870°CのNH<sub>3</sub>窒化の後、840°C、90秒間のラジカル酸化を行って形成した絶縁膜の膜構造は、図9に示したように、実膜厚4.0 nm、電気膜厚2.2-2.3 nm(絶縁膜部分だけの電気膜厚、シリコン基板の蓄積層容量の寄与を除く)となっている。この場合、Si基板界面付近に窒素が面密度で $1.4 \times 10^{15} \text{ cm}^{-2}$ 存在するので(図14)、この絶縁膜の膜構造は、界面に存在するSi<sub>3</sub>N<sub>4</sub>膜とその表面側に存在するSiO<sub>2</sub>膜の積層膜として近似することができる。このように2層の積層膜で近似すると、「実膜厚4.0 nm、絶縁膜部分のみの電気膜厚2.2-2.3 nm」となるためには、SiO<sub>2</sub>膜の誘電率が6.5程度になっていなければならぬことが分かる(図15)。このSiO<sub>2</sub>層の誘電率は、シリコン基板を直接ラジカル酸化した場合の誘電率(図12)とほぼ等しい。このことは、このSiO<sub>2</sub>層(図15)と、シリコン基板を直接ラジカル酸化した場合のSiO<sub>2</sub>膜では、両者の膜構造がきわめて近いことを意味している。

【0057】一方、870°CのNH<sub>3</sub>窒化の後、840°C、300秒間という長い時間のラジカル酸化を行って形成したゲート絶縁膜の誘電率は低く、一般的なシリコン酸窒化膜(Si<sup>1</sup>O<sub>2</sub>)<sub>x</sub>(Si<sub>3</sub>N<sub>4</sub>)<sub>1-x</sub>の誘電率に近い値をとる(図12)。したがって、この場合のゲート絶縁膜中のSiO<sub>2</sub>成分は、一般的なシリコン酸窒化膜アロイ(SiO<sub>2</sub>)<sub>x</sub>(Si<sub>3</sub>N<sub>4</sub>)<sub>1-x</sub>の元となるSiO<sub>2</sub>、つまりドライO<sub>2</sub>酸化膜に近い構造を有していると推定される。

【0058】以上の内容をまとめると、図16のようになる。ラジカル酸化90秒、300秒を行ったときに形成されるSiO<sub>2</sub>層は、それぞれ、シリコン基板上に形成されたラジカル酸化膜、ドライO<sub>2</sub>酸化膜ときわめて近い膜構造を有していると考えられる。

【0059】そこで、以下では、評価・解析を行いやすい、シリコン基板上のラジカル酸化膜とドライO<sub>2</sub>酸化膜の構造を詳細に解析することによって、初期窒化膜が存在する場合のラジカル時間の長短による膜構造の違い(図16)を特徴づける。

【0060】図17は、シリコン基板上に形成したラジカル酸化膜とドライO<sub>2</sub>酸化膜の赤外吸収特性を示す。この図には、Si-O-Si結合のLOフオノン吸収帯を示す。酸化膜の膜厚はいずれも3.8 nmであり、極薄酸化膜の赤外吸収特性を感度よく測定するために、FZ(floating zone)基板上にこれらの酸化膜を形成した。シリコン・ウェハ面の法線に対して60°の方向から赤外線を入射させ、透過法で赤外吸収特性を測定した。

【0061】ラジカル酸化膜の方がドライO<sub>2</sub>酸化膜に比べて、ピーク波数(1250 cm<sup>-1</sup>)よりも波数の低いところで吸収量が多いことが分かる(図17)。このことを、中心力モデル(P. N. Sen and M. F. Thorpe, Phys. Rev. B 15, 4030 (1977))で解釈すると、ラジカル酸化膜の方がドライO<sub>2</sub>酸化膜に比べて結合角の小さいSi-O-Si結合を多く含むと結論づけられる。

【0062】中心力モデルでは、Si-O-Si結合の逆対称伸縮振動の固有振動数は、

$$\nu = \nu_0 \sin(\theta/2)$$

と表される。ここで $\nu = 1320 \text{ cm}^{-1}$ である。赤外吸収特性 $g(\nu)$ をSi-O-Si結合角の分布 $f(\theta)$ に変換するためには、これら $g(\nu)$ 、 $f(\theta)$ の分布が等価でなければならない、そのためには $g(\nu) d\nu = f(\theta) d\theta$ が成立立つ必要がある。このことから $f(\theta) = g(\theta) * \nu_0 / 2 * (1 (\nu/\nu_0)^2)^{0.5}$

$$\theta = 2 \arcsin(\nu/\nu_0)$$

でSi-O-Si結合角の分布を求めることができる。なお、結合角分布関数 $f(\theta)$ の算出においては、さらに、 $f(\theta)$ の $\theta$ による積分値が1になるように規格化した。このようにして得られたSi-O-Si結合の結合角分布を、累積値として表示したのが図18である。この図の横軸はSi-O-Si結合角の値、縦軸は、横軸に示した結合角の値よりも小さい結合角を持つSi-O-Si結合が全体に占める割合を表している。

【0063】この結果より、ラジカル酸化膜は、ドライO<sub>2</sub>酸化膜とは異なり、膜中に含まれるSi-O-Si結合のうち、120°以下の結合角を有するものがSi-O-Si結合全体の1%以上、また、125°以下の結合角を有するものがSi-O-Si結合全体の7%以上存在する、という特徴を持つことが分かる。

【0064】図18に示した酸化膜構造の違いは、前述のとおり、シリコン基板表面に窒化膜を形成した後にラジカル酸化90秒、300秒を施して形成したSiO<sub>2</sub>層の膜構造の違いにも適用されるものと考えられる。

#### 【0065】

【発明の効果】本発明によれば、絶縁膜の誘電率の更なる向上を図り、かつ能動素子に用いた場合にリーク電流

を少なくし、半導体素子の特性の向上を図られる。

【図面の簡単な説明】

【図1】 本発明のn型MISトランジスタの製造工程を示す断面図。

【図2】 本発明のn型MISトランジスタの製造工程を示す断面図。

【図3】 本発明のn型MISトランジスタの製造工程を示す断面図。

【図4】 本発明のn型MISトランジスタの製造工程を示す断面図。

【図5】 本発明のn型MISトランジスタの製造工程を示す断面図。

【図6】 本発明のn型MISトランジスタの製造工程を示す断面図。

【図7】 本発明のゲート絶縁膜の製造工程に関する実施例の説明図。

【図8】 本発明の実施例でNH<sub>3</sub>窒化、およびラジカル酸化を行う RTP 装置の断面図。

【図9】 本発明の実施例におけるゲート絶縁膜の実膜厚と電気膜厚の関係を示す特性図。

【図10】 NH<sub>3</sub> 870°C、60秒でシリコン窒化膜を形成した後にラジカル酸化を実施した場合の、酸化時間およびラジカル酸素曝露量と、形成されたゲート絶縁膜の比誘電率の関係を示す特性図。

【図11】 本発明の実施例で形成されたゲート絶縁膜の電気膜厚とゲート・リーク電流の関係を示す特性図。

【図12】 本発明の実施例で形成されたゲート絶縁膜の窒素濃度と比誘電率の関係を示す特性図。

【図13】 本発明の実施例のうち、NH<sub>3</sub> 870°C、60秒でシリコン窒化膜を形成した後にラジカル酸化840°C、90秒を行って形成したゲート絶縁膜のS I M Sプロファイルを示す特性図。

【図14】 本発明の実施例のうち最初にシリコン窒化膜を形成するときのNH<sub>3</sub>窒化の温度と、90秒のラジカル酸化を行った後に膜中に残留している窒素の面密度との関係を示す特性図。

【図15】 本発明の実施例のうち、NH<sub>3</sub> 870°C、60秒でシリコン窒化膜を形成した後にラジカル酸化840°C、90秒を行って形成したゲート絶縁膜の実膜厚、および誘電率の膜厚方向分布を2層近似で解析した結果を示す図。

【図16】 本発明の実施例のうち、シリコン窒化膜のラジカル酸化時間と、その際に形成される膜構造との対応関係を示す図。

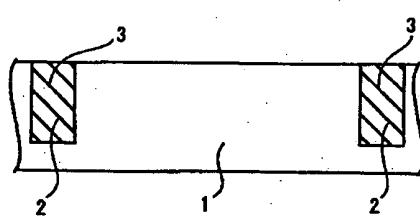
【図17】 シリコン基板上に形成したラジカル酸化膜とドライO<sub>2</sub>酸化膜の赤外吸収特性を示す特性図。

【図18】 ラジカル酸化膜とドライO<sub>2</sub>酸化膜のSi-O-Si結合角分布を示す特性図。

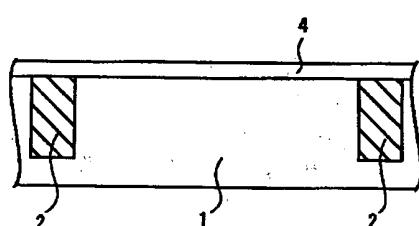
【符号の説明】

- 1 p型シリコン基板
- 2 素子分離用の溝
- 3 シリコン酸化膜（素子分離領域）
- 4 ゲート絶縁膜
- 5 ポリシリコン膜
- 6 フォトレジストパターン
- 7 n<sup>+</sup>型ソース領域
- 8 n<sup>+</sup>型ドレイン領域
- 9 シリコン酸化膜（層間絶縁膜）
- 10 ソース電極（金属電極）
- 11 ドレイン電極（金属電極）
- 12 ゲート電極（金属電極）
- 13 筐体（石英）
- 14 ランプ
- 15 ウェハ
- 16 石英管
- 17 ガス導入口
- 18 石英トレイ
- 19 ドア
- 20 マイクロ波放電電極
- 21 パイロメータ
- 22 ガス排出口

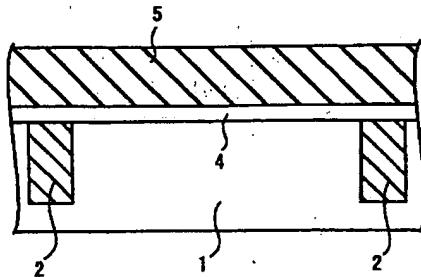
【図1】



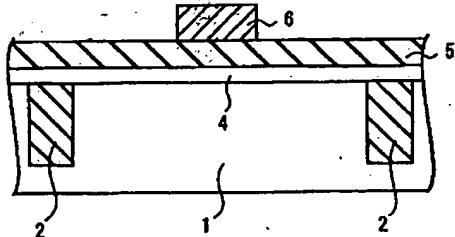
【図2】



【図3】

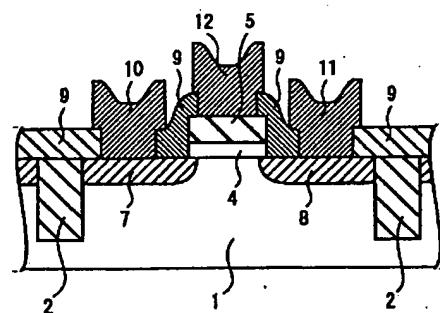
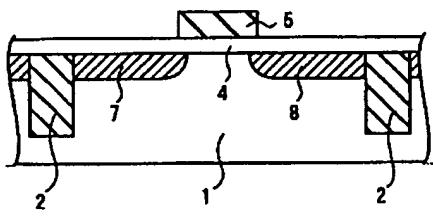


【図4】

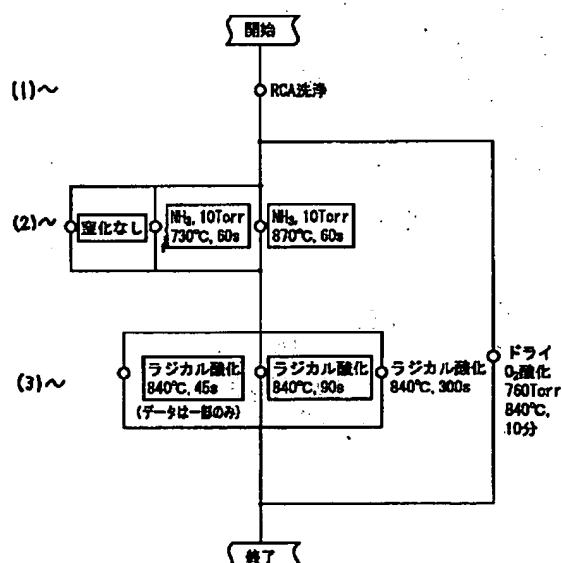


【図6】

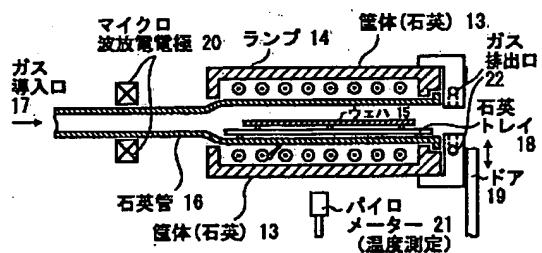
【図5】



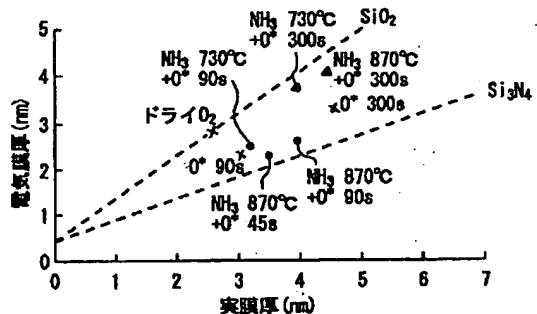
【図7】



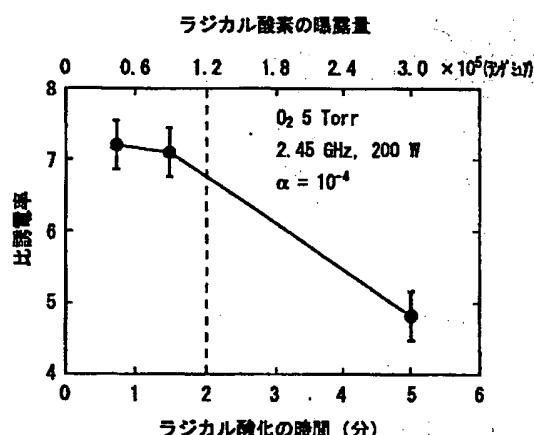
【図8】



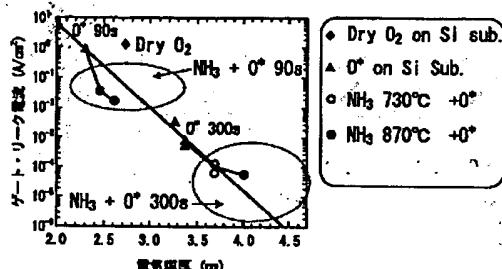
【図9】



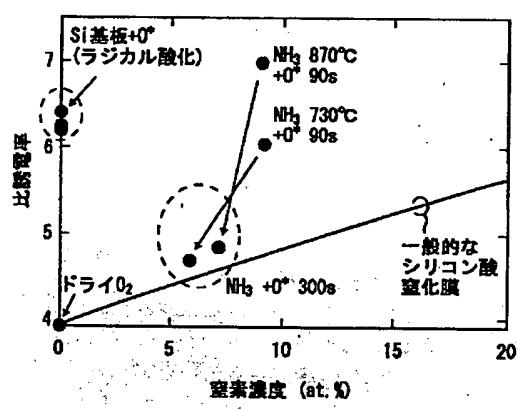
【図10】



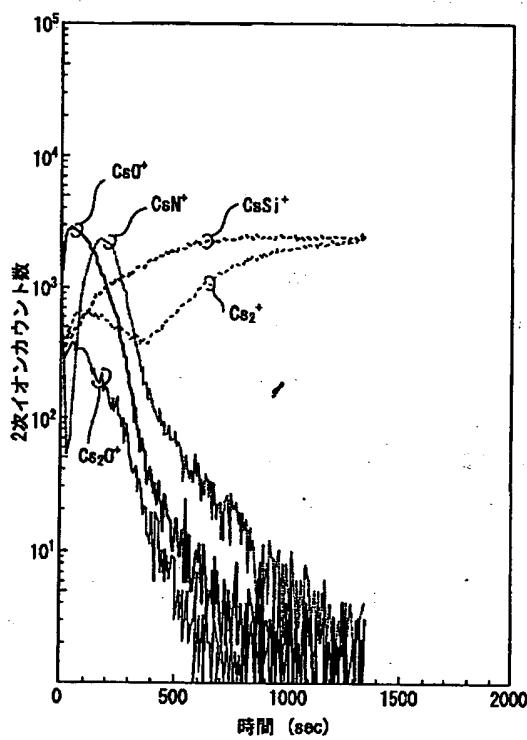
【図11】



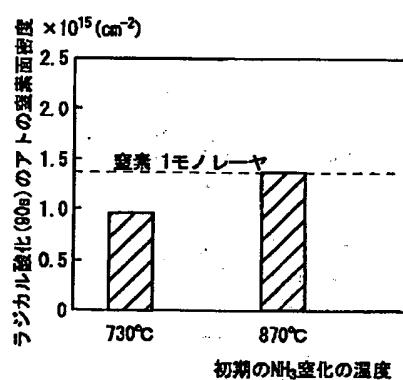
【図12】



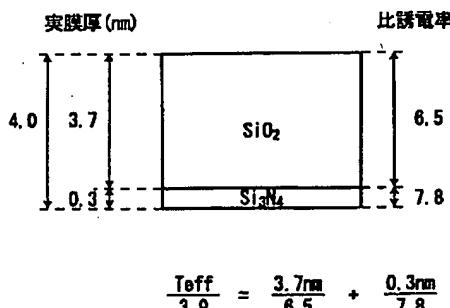
【図13】



【図14】



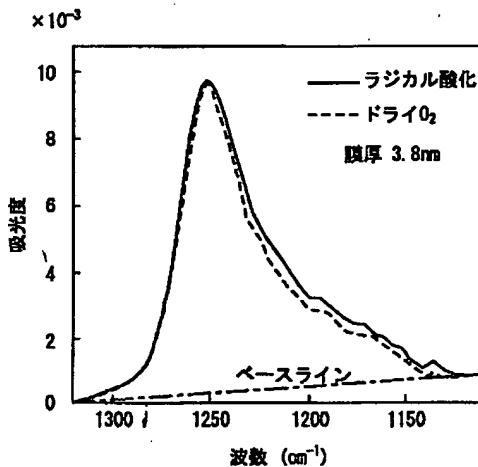
【図15】



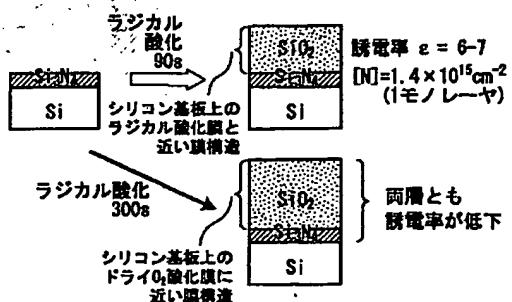
注:  $Si_3N_4$ の膜厚と窒素面密度の関係は

$$T_{Si_3N_4} = [N] / 5.3 \times 10^{15} (\text{cm}^{-2})$$

【図17】



【図16】



【図18】

